



# KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010076166 (43) Publication.Date. 20010811

(21) Application No.1020000043125 (22) Application Date. 20000726

(51) IPC Code:

H01L 21/28

(71) Applicant:

SAMSUNG ELECTRONICS CO., LTD.

(72) Inventor:

PARK, BYEONG JUN

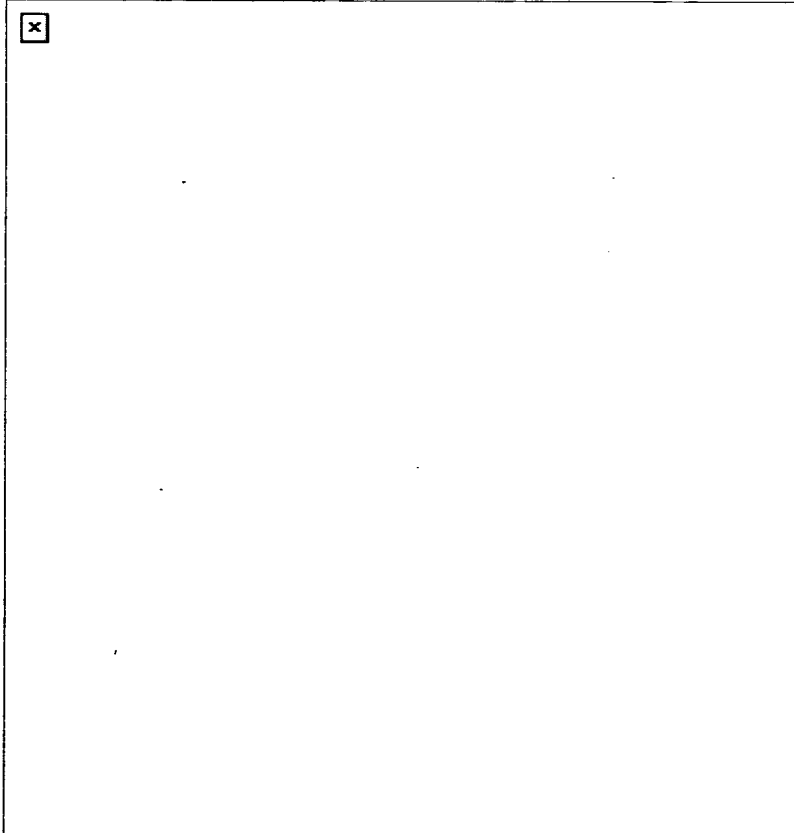
(30) Priority:

1020000003249 20000124 KR

(54) Title of Invention

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE HAVING CONTACT  
PENETRATING CONDUCTIVE PATTERNS FORMED IN PARALLEL WITH EACH OTHER AND  
ADJACENT TO EACH OTHER

Representative drawing



(57) Abstract:

PURPOSE: A method for manufacturing a semiconductor device having a contact penetrating conductive patterns formed in parallel with each other and adjacent to each other are provided to form a self-aligned conductive plug between conductive patterns.

CONSTITUTION: The method for manufacturing the semiconductor device includes following steps. At first, an interlayer isolation layer(210) and a plurality of line patterns are formed on a substrate. The line patterns are surrounded by the interlayer isolation layer and are arranged to be parallel with each other with a spacing same to a hole on which a sidewall is formed. Then, the width of the hole is extended greater than the width of the line pattern by using a symmetric etching. At third, a plurality of etching protection patterns which have etching selectivity

smaller than that of the interlayer isolation layer are arranged in parallel with each other on the hole. Then, an etching mask pattern for forming a contact hole on the etching protection pattern is formed. At fifth, a contact hole is formed by using the etching protection pattern with the

# (19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup> (11) 공개번호 특2001-0076166  
H01L 21/28 (43) 공개일자 2001년08월11일

(21) 출원번호 10-2000-0043125  
(22) 출원일자 2000년07월26일  
(30) 우선권주장 1020000003249 2000년01월24일 대한민국(KR)  
(71) 출원인 삼성전자 주식회사  
경기 수원시 팔달구 매탄3동 416  
(72) 발명자 박병준  
경기도수원시팔달구영통동주공APT905동1804호  
(74) 대리인 임창현, 권혁수

심사청구 : 있음

(54) 인접하게 나란히 형성된 도전체 패턴 사이를 통과하는콘택을 갖는 반도체 장치의 형성 방법

## 요약

본 발명은 비트라인 같이 나란히 형성되는 도전체 패턴 사이에 스토리지 노드 콘택 같은 도전체 플러그를 형성하는 방법에 관한 것으로, 기판에 층간 절연막과, 상기 층간 절연막에 형성된 홈과 홈 하부에 서로 나란히 상기 층간 절연막 내에 위치하는 복수 개의 도전체 패턴을 형성하는 단계, 상기 층간 절연막에 대한 등방성 식각을 통해 상기 홈의 폭이 상기 도전체 패턴의 폭보다 넓게 확대하는 단계, 확대된 상기 홈을 유전율이 상기 층간 절연막에 비해 상대적으로 큰 식각 저지막으로 매립하는 단계, 평탄화를 통해 상기 식각 저지막을 서로 분리하여 복수의 식각 저지막 패턴을 나란히 형성하는 단계, 노광 공정으로 콘택홀 식각을 위한 식각 마스크 패턴을 형성하는 단계, 상기 식각 마스크 패턴과 상기 식각 저지막 패턴을 공동의 식각 마스크로 이용하여 상기 층간 절연막을 식각하여 소정의 위치에 상기 도전체 패턴들 사이와 상기 식각 저지막 패턴들 사이를 통과하는 도전체 플러그가 채워질 홈을 형성하는 단계를 구비하여 이루어지는 것을 특징으로 한다.

따라서, 도전체 패턴 사이의, 그리고 비트라인과 도전체 플러그 사이의 가상 정전용량을 줄일 수 있고, 반도체 장치 기능 이상을 방지할 수 있다.

## 대표도

## 도12

## 명세서

### 도면의 간단한 설명

도1은 종래의 반도체 장치에서 비트라인 주변 구성을 나타내기 위해 비트라인에 수직하게 자른 단면도;  
도2 내지 도6은 종래의 다른 반도체 장치에서의 비트라인 및 스토리지 노드 콘택 형성 공정을 나타내는 공정 단면도;  
도7 내지 도13은 본 발명 방법의 일 실시예에서의 각 단계를 나타내는 공정 단면도;  
도14 내지 도19는 본 발명 방법의 다른 실시예에서의 각 단계를 나타내는 공정 단면도;  
도20, 도21b, 24b는 본 발명의 제 3 실시예에서 공정의 단계를 나타내는 공정 단면도;  
도21a, 도24a는 제3 실시예와 관련된 패턴을 나타내는 평면도;  
도22a, 도22b, 도23은 제 3 실시예의 변형예에 따른 공정 단면도 및 관련 패턴을 나타내는 평면도이다.

※도면의 주요 부분에 대한 부호의 설명

11: 패드 12,240: 캡핑막  
13,250: 스페이서 14,500: 스토리지 노드 콘택  
100: 층간 절연막 기층 110: 비트라인  
200: 층간 절연막 상층 210: 층간 절연막  
111: 실리콘 산화막 112: 폴리실리콘층  
112,116,134,136: 홈 120: 식각 차단막  
130,230,270: 텅스텐 132: 초기홈

140,220,260: 베리어 메탈 212,212',213,213': 포토레지스트 패턴  
 300,310: 실리콘 질화막 패턴 350,351: 폴리실리콘 패턴  
 400,400': 식각 보조막 500: 콘택 플러그  
 501: 콘택홀

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 형성 방법에 관한 것으로, 보다 상세하게는 인접하여 나란히 형성되는 비트라인 같은 도전체 패턴을 가지고 또한 그 도전체 패턴 사이로 도전체 플러그가 통과되어야 하는 반도체 장치의 형성 방법에 관한 것이다.

반도체 장치의 소자 고집적화에 따라 좁은 면적에 다수의 소자 및 배선을 형성하기 위한 많은 노력이 이루어지고 있다. 이런 소자 고집적화를 위한 노력의 하나로 반도체 장치의 구성의 입체화, 배선의 다층화가 이루어지고 있다. 가장 일반적인 예로 DRAM 장치에서의 캐퍼시터를 COB(Capacitor On Bit line) 구조로 형성하는 예를 들 수 있다. 여기서는 기판에 MOS(Metal Oxide Silicate) 트랜지스터 구조를 형성하고 드레인과 연결되는 캐퍼시터를 소오스에 데이터 신호를 주는 비트라인 위에 형성하고 있다. 따라서, 기판에 캐퍼시터를 형성하는 것에 비해 평면 소요 면적을 줄일 수 있다.

그러나, 이러한 구성을 위해서는 다른 층간에 형성된 소자와 소자, 소자와 배선을 연결하는 수직적 도전체로서 다수의 콘택이 필요하다. 그리고 콘택은 다른 도전체를 이루는 비트라인이나 기타 수평 배선을 피하여 형성되어야 한다. 따라서 좁은 면적에서 콘택을 형성하면서 아래에 이미 형성된 도전체 패턴을 피해가기 위해서 도전체 패턴을 식각 선택비가 있는 다른 절연막 재질로 둘러싸고 자기 정렬 방식으로 콘택을 형성하는 경우가 많이 있다.

도1은 종래의 반도체 장치에서 비트라인 주변 구성을 나타내기 위해 비트라인에 수직하게 자른 단면도이다. 단면으로 표시되지만 비트라인(110)이 나란히 형성되어 있으며, 비트라인(110)은 텅스텐 금속 혹은 텅스텐 실리사이드로 이루어져 있다. 이들 비트라인(110) 사이로 아래층 SAC(Self Aligned Contact) 패드(11)나 드레인 영역과 상부 스토리지 전극의 노드를 전기적으로 연결하기 위한 스토리지 노드 콘택(14)이 형성된다. 노광 공정의 한계 등으로 인하여 스토리지 노드 콘택(14)의 입구 부분 쪽은 비트라인(110) 사이의 거리보다 크거나 거의 동일한 크기로 형성된다. 따라서, 별도의 비트라인(110) 보호장치인 캡핑막(12)이나 스페이서(13)가 없다면 스토리지 노드 콘택(14)의 형성과정에서 비트라인(110)이 훼손될 수 있고, 스토리지 노드 콘택(14)을 이루는 도전체와 비트라인(110) 사이에 단락이 이루어져, 결국 반도체 장치가 완성될 때 기능 이상을 초래하게 된다.

도1에서 나타난 종래의 예에서는 이런 문제를 방지하기 위해 비트라인(110)을 실리콘 질화막으로 이루어진 캡핑막(12)과 스페이서(13)로 둘러싸고 있다. 실리콘 질화막은 콘택홀이 형성되는 층간 절연막 기층(基層) 및 상층(100,200)이 실리콘 산화막으로 되어 있으므로 콘택홀 형성을 위한 식각에서 비트라인(110)을 둘러싸고 있는 실리콘 질화막과 식각 선택비를 가질 수 있다. 따라서, 비트라인(110) 사이로 스토리지 노드 콘택(14)을 형성할 때 노광 공정에 의해 노출된 콘택 부분 가운데 실리콘 질화막은 대부분이 남게 되고 콘택이 형성될 부분에서 실리콘 질화막 사이의 좁은 틈에 존재하던 실리콘 산화막은 완전히 제거되어 콘택홀이 형성된다. 결국, 일종의 자기 정렬적인 콘택홀이 형성된다.

그러나, 콘택홀 형성시의 문제를 방지하기 위해 비트라인을 실리콘 질화막으로 감싸지도록 형성할 경우, 평행하게 설치된 인접한 비트라인을 하나의 캐퍼시터를 이루는 양 전극으로 생각할 때, 양 전극 사이에 존재하는 캐퍼시터 유전막이 대부분 실리콘 질화막으로 이루어지는 결과가 된다. 그리고, 실리콘 질화막은 비유전율 8로 비유전율 3.9 정도인 실리콘 산화막보다 크기 때문에 유전막의 비유전율에 비례하고, 대향 전극의 면적에 비례하며, 대향 전극간 거리에 반비례하는 기생 캐퍼시터 정전용량은 늘어나게 된다.

그리고, 비트라인 사이에 형성되는 기생 캐퍼시터의 정전용량이 늘어날 경우 특정 비트라인을 흐르는 신호 전류 혹은 신호 전압은 인근의 비트라인의 영향을 받아 약화되어 신호의 감지가 불명확하게 하며, 이 신호에 의해 채널을 통해 흘러 셀 캐퍼시터에 축적되는 전기량을 줄이므로 결국, 셀 캐퍼시터의 정전 용량을 감소시키는 것과 동등한 문제가 있었다. 셀 캐퍼시터에 요구되는 정전용량을 25 내지 30 fF( $25 \sim 30 \times 10^{-15}$  F)이라고 할 때 소자의 크기를 고려한 이론적인 계산에 의하면 약 30%의 정전용량의 감소가, 그리고 실험치에 의하면 5fF 정도의 정전용량 감소가 있었다.

소자 고집적화에 따라 DRAM 메모리 장치에서 셀 캐퍼시터의 용량을 늘이는 것은 중요한 문제이므로 비트라인과 스토리지 노드 콘택 사이에 단락이 생기는 것을 방지하기 위해 비트라인을 실리콘 질화막으로 감싸는 것은 인접한 비트라인 사이의 거리가 짧은 고집적화된 반도체 장치에서는 새로운 문제를 발생시키는 것이다.

또한, 실리콘 질화막으로 비트라인을 감싸는 공정은 비트라인 위로 캡핑용 실리콘 질화막을 함께 적층하여 비트라인을 패터닝하는 과정에서 함께 패터닝하고, 그 위로 실리콘 질화막을 전면적으로 적층하고 이 방형 전면 식각으로 비트라인 측벽에 스페이서를 형성하는 것인데, 인접된 비트라인에 실리콘 질화막으로 이루어진 측벽 스페이서를 형성할 경우 비트라인 사이의 틈은 더욱 좁아져 층간 절연막으로 이 틈을 채우는 과정에서 높은 종횡비(aspect ratio)로 인하여 보이드(void)가 발생할 수도 있다. 가령, 비트라인의 피치(pitch)가 0.3 $\mu$ m, 비트라인 패턴 선포이 0.12 $\mu$ m, 높이가 0.32 $\mu$ m라면, 기존의 스토리지 노드 콘택을 형성할 때 비트라인 양 쪽으로 형성되는 스페이서 두께가 0.045 $\mu$ m 정도 이므로 층간 절연막

으로 채워질 비트라인 사이의 폭은 순수한 비트라인 사이의 간격  $0.18\mu\text{m}$ 에서 양 쪽 스페이서의 두께  $0.09\mu\text{m}$ 를 감한  $0.09\mu\text{m}$ 가 되고 가로세로비(aspect ratio)는  $0.32/0.09 \approx 3.56$ 으로 깊은 홈이 되어 갭 필(gap fill)이 어려워진다.

특히, 스페이서 형성 단계에서 이미 과식각에 의해 캠핑층의 주변이 식각을 받은 경우에는 캠핑막이 얇아지고 콘택을 형성단계에서 다시 식각을 받게 되면 도1과 같이 비트라인 둘레의 절연막이 침식을 받아 절연의 문제가 발생할 수 있으므로 스토리지 노드 콘택을 자기 정렬적으로 형성하는 공정에서 마아진이 줄어들고, 이를 예방하기 위해 캠핑막을 보다 두껍게 형성해야 하는 어려움이 있었다.

일본 특허공개공보 평10-27889를 보면, 나란히 형성된 비트라인 사이로 콘택을 형성하는 다른 방법의 예가 나타난다. 이 예에서는 실리콘 산화막층(210)에 비트라인 패턴 위치에 해당하는 홈을 형성한다. 그리고, 홈에 베리어 메탈(220)과 텅스텐(230)을 채워넣고 홈의 상부가 다시 드러나도록 채워진 베리어 메탈(220)과 텅스텐(230) 상부를 식각으로 제거하여 비트라인을 형성한다(도2 참조). 다시 드러난 홈 상부에는 실리콘 산화막층과 식각 선택비를 가지는 실리콘 질화막을 채워 넣어 캠핑막(240)을 형성한다. 단, 홈을 벗어나 실리콘 산화막 위로 쌓인 실리콘 질화막은 CMP(Chemical Mechanical Polishing)나 에치 백(etch back)으로 평탄화하면서 제거한다(도3 참조).

다음으로, 노광 공정을 이용하여 비트라인과 수직한 포토레지스트 패턴(211)을 형성하고 이 포토레지스트 패턴(211)과 비트라인 위쪽의 캠핑막(240)을 식각 마스크로 이방성 식각을 통해 사각의 콘택홀을 형성한다. 따라서, 일종의 자기정렬적 콘택홀이 형성된다(도4 참조). 콘택홀 측벽에는 다시 실리콘 질화막 적층과 에치 백을 통해 스페이서(250)를 형성하고(도5 참조) 콘택홀의 잔여 공간에 베리어 메탈(260)과 텅스텐(270)으로 콘택 플러그를 형성하게 된다(도6 참조).

이러한 예를 도1에 나타난 예와 비교하면, 이러한 예에서는 비트라인이 유전율이 높은 실리콘 질화막으로 감싸이지 않기 때문에 비트라인 사이의 형성되는 기생 캐퍼시터 정전용량이 증가하는 문제를 완화시킬 수 있다. 그러나, 비트라인과 스토리지 노드 콘택 사이에 실리콘 질화막을 유전막으로 형성되는 기생 캐퍼시터를 형성하므로 이에 따른 셀 캐퍼시터의 정전용량 감소가, 비트라인과 스토리지 노드 콘택 사이에 실리콘 산화막을 유전막으로 형성되는 기생 캐퍼시터에 의한 셀 캐퍼시터의 정전용량 감소에 비해 크게 나타난다.

그리고, 콘택홀을 식각으로 형성하는 과정에서 실리콘 질화막으로 된 비트라인 상부 캠핑층의 모서리 부분이, 스페이서 형성을 위한 에치 백에서 과식각의 정도에 따라 식각을 받은 것에 이어 더욱 식각되어 비트라인의 상부 모서리 부분과 콘택 플러그 사이의 절연 거리가 짧아지므로 절연을 확보하기 위해 캠핑층의 두께를 일정 두께 이상으로 유지해야 하는 부담은 계속된다.

#### 발명이 이루고자하는 기술적 과제

본 발명은 상술한 바와 같은 종래 기술상의 문제를 해결하기 위한 것으로, 인접하고 나란하게 형성되는 비트라인 같은 도전체 패턴 사이로 자기 정렬적 도전체 플러그가 형성되는 반도체 장치의 형성 방법을 제공하는 것을 목적으로 한다.

또한, 본 발명의 목적은 협소한 공간에서 충분한 공정 마아진을 가지고 정확한 위치에 도전체 플러그가 형성되는 반도체 장치의 형성방법을 제공하는 것이다.

본 발명의 다른 목적은 도전체 패턴과 단락이 발생할 위험이 적은 도전체 플러그를 형성할 수 있는 반도체 장치의 형성 방법을 제공하는 것이다.

본 발명의 또다른 목적은 인접하고 나란히 형성되는 도전체 패턴 사이로 형성되는 기생 정전 용량을 억제할 수 있는 반도체 장치의 형성 방법을 제공하는 것이다.

#### 발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명 방법은, 공정 기판에 층간 절연막과, 상기 층간 절연막으로 측벽이 이루어지는 홈 및 상기 홈 하부에 상기 홈과 같은 폭으로 서로 나란히 위치하며 측면이 상기 층간 절연막으로 둘러싸인 복수 개의 라인 패턴을 형성하는 단계, 상기 층간 절연막에 대한 등방성 식각을 통해 상기 홈의 폭을 상기 라인 패턴의 폭보다 넓게 확대하는 단계, 폭이 확대된 상기 홈에 상기 층간 절연막에 비해 특정 식각 물질에 대해 식각선택성이 낮은 식각 저지막으로 이루어진 식각 저지막 패턴을 형성하는 단계, 식각 저지막 패턴을 식각 마스크로 활용하여 식각을 실시하여 상기 라인 패턴 사이와 상기 식각 저지막 패턴 사이를 통과하는 콘택홀을 형성하는 단계를 구비하여 이루어진다.

이때 층간 절연막은 주로 실리콘 산화막으로 형성되며, 라인 패턴은 하부의 도전체 패턴을 필수적으로 구비하며 그 위에 실리콘 산화막이나 실리콘 질화막 같은 비도전막 패턴이 겹쳐져서 형성될 수 있다.

그리고, 식각 저지막 패턴은 층간 절연막을 이루는 실리콘 산화막에 대해 특정의 식각 물질에 대해서 식각 선택성이 떨어지는, 즉, 잘 식각되지 않는 실리콘 질화막이나 폴리실리콘막으로 이루어질 수 있다. 라인 패턴이 상층에 비도전막을 가질 경우에는 식각 저지막은 실리콘 산화막과 선택비가 크게 될 수 있는 폴리실리콘막을 사용하는 것이 바람직하지만, 라인 패턴이 도전체 패턴만으로 이루어지는 경우에는 식각 저지막 패턴은 비도전막인 실리콘 질화막으로 이루어지는 것이 바람직하다.

본 발명은 결과적으로 완성된 반도체 장치에서 유전율이 큰 식각 저지막이 자기 정렬적 콘택을 형성하기 위해 도전체 패턴 측면에 설치되지 않으므로 기생 용량이 증가하는 것을 막을 수 있다는 측면에서 효용이 높다.

본 발명 방법에서 식각 저지막 패턴을 형성하는 단계 다음에는 식각 저지막 패턴 위로 포토리소그래피 공정을 이용하여 포토레지스트 패턴 기타 식각 마스크 패턴을 형성하는 단계를 더 구비하는 것이 일반적이다. 식각 마스크 패턴은 콘택홀을 형성하기 위한 것으로, 콘택홀을 형성하기 위해 층간 절연막을 식각하는 단계에서 식각 마스크 패턴을 식각 저지막 패턴과 동시에 식각 마스크로 이용하여 콘택홀의 위치를

소정의 위치로 제한하게 된다.

상기 포토레지스트 패턴은 통상적으로 콘택을 영역에 해당하는 부분이 사각형을 가지도록 형성되나, 집적도가 높은 반도체 장치에서는 통상 사각형의 귀퉁이가 라운드를 이루거나 거의 원형으로 콘택홀이 형성된다. 따라서 단면적의 감소와 콘택 저항의 증가를 초래한다. 이를 방지하기 위해서 이미 상호 나란히 길게 형성된 식각 저지막 패턴을 이용할 수 있다. 즉, 식각 저지막 패턴 위로 식각 저지막 패턴과 수직을 이루며 서로간에 나란히 형성되는 부분들을 가지는 포토레지스트 패턴을 형성하여 앞서 형성된 식각 저지막 패턴과 함께 층간 절연막 식각을 위한 식각 마스크로 사용한다. 나란히 형성되는 식각 저지막 패턴들과 포토레지스트 패턴에 의해 콘택홀은 사각에 가깝게 형성될 수 있고, 콘택홀을 채우는 콘택 플러그의 단면적도 늘어나므로 콘택 저항을 줄일 수 있다.

식각 마스크 패턴으로는 포토레지스트 패턴을 직접 사용하는 외에, 식각 저지막 패턴 위로 실리콘 산화막 등 식각 보조막을 형성하고 포토레지스트막을 도포하고, 패턴닝 작업을 하여 식각 보조막과 포토레지스트막으로 이루어진 이중층을 형성하여 사용하는 방법도 있다.

또한, 본 발명 방법에서 상기 식각 저지막 패턴을 형성하는 단계는 확장된 홈을 가지는 공정 기판 전면에서 식각 저지막을 적층하여 홈을 채우는 단계와 CMP(Chemical Mechanical Polishing)나 에치 백(etch back)에 의한 공정 기판 평탄화를 통하여 상기 식각 저지막 패턴간 분리를 실시하는 단계로 나뉘어지는 것이 일반적이다.

본 발명의 방법에서 기판에 층간 절연막과 홈 및 층간 절연막과 측벽이 접하는 복수 개의 라인 패턴을 형성하는 방법을 살펴보면, 통상적으로 먼저, 기판에 기층 절연막을 적층하고, 비트라인 같은 도전체 패턴을 형성하기 위한 도전체층을 적층한다. 다음으로 도전체층 및 층간 절연막과 서로 다른 식각 선택비를 가진 희생막이 가장 위쪽에 위치하도록 희생막을 포함하는 보조막을 차례로 적층한다. 그리고, 패턴닝 작업을 통해 도전체 패턴, 희생막 패턴을 포함하는 복수의 물질층으로 된 복층 패턴을 형성한다. 복층 패턴 위로는 층간 절연막을 쌓고, 대개 CMP 기법으로 평탄화하여 상기 복층 패턴의 상부에 있는 희생막을 드러낸다. 식각을 통해 이 희생막을 제거하면 층간 절연막으로 측벽이 둘러싸인 라인 패턴 및 라인 패턴 위쪽의 홈을 형성할 수 있다.

라인 패턴 및 홈이 형성된 층간 절연막을 형성하는 다른 방법을 살펴보면, 먼저 기판에 층간 절연막을 쌓고 식각을 통해 초기홈을 형성한다. 이 상태에서 초기홈에 도전체층을 채운 다음 공정 기판에 전면적인 식각을 하여 도전체층을 초기홈 내로 리세스 시킴으로써 초기홈 아래쪽 일부에 한정된 도전체 패턴을 형성한다. 초기홈의 잔여부분은 도전체 패턴 위쪽의 홈을 이루게 된다. 도전체층의 적층과 전면 이방성 식각에 의한 리세스 과정을 통해 도전체 패턴을 형성한 다음, 비도전막으로 동일한 형태의 공정을 반복하여 초기홈 아래쪽에 도전체 패턴과 비도전막 패턴이 겹쳐진 라인 패턴을 형성할 수도 있을 것이다.

본 발명에 의하면, 도전체 패턴 측벽을 식각 저지막이 감싸게 되는 종래의 형태에 비해 유전율이 상대적으로 낮은 층간 절연막으로 도전체 패턴 사이가 채워지므로 기생 용량을 줄일 수 있으므로 특히 적합하게 사용될 수 있다.

이하 도면을 참고하면서 실시예를 통해 본 발명을 좀 더 살펴보기로 한다.

(실시예1)

도7에서 도13은 본 발명 방법의 일 실시예의 각 단계를 나타내는 공정 단면도이다.

도7에서는 산화막으로 이루어진 층간 절연막 기층(100) 위에 비트라인(110)을 형성할 베리어 메탈 및 텅스텐층이 각각 400Å과 800Å으로 형성되고, 그 위로 보조막을 구성하는 PE-TEOS(Plasma Enhanced Tetra Ethylen Ortho Silicate) 실리콘 산화막(111)이나 HDP(High Density Plasma) 실리콘 산화막이 500Å 정도 적층된 다음, 이들 산화막과 함께 보조막을 구성하는 희생막으로 폴리실리콘층(112)이나 실리콘 질화막 2000Å 정도 적층된 상태에서 노광 및 식각을 통해 비트라인 패턴이 이루어진 상태를 나타낸다. 도면상 표시되지는 않았으나 층간 절연막 기층(100)에는 하부의 트랜지스터 구조의 드레인과 연결되는 폴리실리콘 SAC(Self Aligned Contact) 패드와 연결되는 콘택홀이 형성되어 있다. 따라서 비트라인(110) 형성을 위한 베리어 메탈 및 텅스텐층 적층시 콘택홀이 채워져 비트라인 콘택 플러그가 형성된다. 베리어 메탈은 폴리실리콘 패드와의 계면에서 실리콘 원소의 금속층으로의 확산에 의한 스파이크 현상 및 콘택 저항 증가를 막기 위한 것으로 텅스텐층 적층 전에 티타늄(Ti)/티타늄 질화막(TiN)의 구성으로 적층한다.

도8은 도7의 상태에서 비트라인 패턴 위로 다시 층간 절연막 상층(200)을 적층한 다음, CMP(Chemical Mechanical Polishing)를 통해 비트라인 패턴의 상부를 노출시킨 상태를 나타낸다.

도9는 도8의 상태에서 상층부의 폴리실리콘층(112)이나 실리콘 질화막을 식각으로 제거한 상태를 나타낸다. 실리콘 질화막을 사용하는 경우에는 인산 스트리핑을 이용하며, 산화막과의 선택비가 50:1 이상을 유지할 수 있으므로 실리콘 질화막을 선택적으로 제거하는 것에 특별한 어려움은 없다. 그리고 실리콘 산화막은 이때 하부의 비트라인을 이루는 텅스텐 패턴이 인산에 의해 식각되는 것을 막아주므로 일종의 식각 저지막의 역할을 한다. 따라서 비트라인 패턴에는 도전체층인 텅스텐 및 베리어 메탈층이 비트라인(110)을 이루며 남아있고 그 위로 PE-TEOS 실리콘 산화막(111)이 남아있고 그 위쪽은 빈 공간 즉, 홈(114)이 된다.

도10은 도9의 상태에서 층간 절연막 상층(200)에 대한 등방성 식각을 실시한 상태를 나타낸다. 대개 습식식각으로 이루어지며, 텅스텐 및 베리어 메탈 위쪽의 PE-TEOS 실리콘 산화막(111)은 층간 절연막 상층(200)과 같은 산화막질이므로 층간 절연막 상층(200)에 대한 등방성 식각 과정에서 폭이 확대된 홈(116)이 형성되고, PE-TEOS 실리콘 산화막(111)은 제거되어 비트라인(110)이 노출된다. 그리고 홈(116) 입구 부분의 층간 절연막 상층(200)도 많이 침식되어 모서리 부분은 없어지고 라운드 형태를 이루게 된다.

도11은 도10의 상태에서 확대된 홈(116)을 채우도록 실리콘 질화막을 적층하고 에치 백이나 CMP와 같은

평탄화 작업을 통해서 실리콘 질화막 패턴(300)을 분리시키고 그 위에 다시 실리콘 산화막(400)을 얇게 형성한 상태를 나타낸다. 실리콘 질화막 패턴(300)은 단면도로 볼 때 대략 사각형이 되며 적층 단계에서 위쪽은 층간 절연막(200) 위로 연결된 상태이나 평탄화 과정을 통해 분리된다. 얇은 실리콘 산화막(400)은 다음 단계에서 노출된 실리콘 질화막 패턴(300)에 바로 포토레지스트 콘택 패턴을 형성하고 식각하면 실리콘 질화막에 대한 침식이 커지기 때문에 보조적으로 형성한 것이다.

그리고 실리콘 질화막 패턴(300)을 분리시키는 과정에서 전단계의 등방성 식각으로 인한 홈(116) 입구 부분의 모서리가 제거되어 이 부분을 실리콘 질화막이 채우고 있으므로 실리콘 질화막 패턴(300)의 깨끗한 분리를 위해서는 평탄화 과정에서 일정량의 과식각 과정을 두는 것이 바람직하다.

도12는 도11의 상태에서 스토리지 노드 콘택을 형성하는 과정에서 콘택 패턴을 포토레지스트층으로 형성한 상태를 나타낸다. 포토레지스트 패턴(211)에서 콘택 위치의 창(window)이 비트라인과 비트라인 사이의 폭보다 크게 형성되어 있다.

도13은 도12의 상태에서 포토레지스트 패턴 및 실리콘 질화막 패턴을 동시에 식각 마스크로 이용하여 식각 공정을 진행하고 그 결과 형성된 콘택홀에 폴리실리콘층을 채워넣어 스토리지 노드 콘택(500)을 형성한 상태를 나타낸다. 이 과정에서 콘택 입구의 실리콘 질화막 패턴(310)도 상당 부분 침식되나 전단계에서 실리콘 질화막 패턴(310)은 비트라인(110) 폭 이상의 폭으로 형성된 상태이며 높이도 충분히 형성된다. 그 결과 본 발명의 반도체 장치가 형성된다.

결과적으로 형성된 스토리지 노드 콘택(500)은 실리콘 질화막 패턴(310)과 비트라인(110) 사이를 통과하며, 각 비트라인과는 비트라인 폭 및 실리콘 질화막 패턴 폭의 차이에 따른 일정 거리, 도면과 같이 대칭적으로 실리콘 질화막이 비트라인을 커버하는 경우에는 비트라인과 실리콘 질화막 패턴의 전체 폭의 차이의 절반만큼 이격된다. 그리고 이격된 공간은 실리콘 산화막에 의해 채워지게 된다. 따라서, 콘택 형성시의 과잉 식각에 의한 종래와 같은 비트라인(110)과 스토리지 노드 콘택(500) 사이의 절연 파괴의 위험은 적다.

또한, 비트라인(110) 레벨에서 인접한 비트라인(110) 사이에는 스토리지 노드 콘택(500)의 도전층이 채워지는 부분을 제외하고는 유전율이 상대적으로 낮은 실리콘 산화막으로 채워지고, 스토리지 노드 콘택(500)과 비트라인(110) 사이에도 홈이 확장된 만큼 실리콘 산화막이 존재하게 되어 기생 캐퍼시터의 정전용량을 줄일 수 있다.

#### (실시예 2)

도14에서 도19는 본 발명 방법의 다른 실시예에서 각 단계를 나타내는 공정 단면도이다.

도14에서는 층간 절연막을 형성하면서 층간 절연막 기층(100) 상에 실리콘 질화막질의 식각 차단막(120)을 적층하고, 다시 층간 절연막 상층(200)을 적층한 다음 비트라인을 형성하기 위한 초기홈(132)을 준비한 상태를 나타낸다. 초기홈(132) 아래쪽은 식각 차단막(120)도 식각된 상태이다.

도15는 도14의 상태에서 베리어 메탈(140)과 텅스텐(130) 금속을 차례로 적층하여 초기홈(132)을 채우고 층간 절연막 상층(200) 위쪽으로 서로 연결된 상태를 나타낸다. 이때 베리어 메탈(140)을 적층하는 것은 단순히 비트라인을 형성하기 위한 것이 아니고 비트라인과 하부의 폴리실리콘층 SAC 패드를 연결하는 비트라인 콘택과 비트라인과 동시에 형성하기 때문에 사용하는 것이다.

도16은 도15의 상태에서 텅스텐(130) 금속 등을 에치 백 등의 방법으로 식각하여 텅스텐(130) 금속 및 베리어 메탈(140)로 채워졌던 초기홈의 상부를 다시 빈 공간의 홈(134)으로 만든 상태를 나타낸다. 이때 잔류된 1000Å 정도의 베리어 메탈(140)과 텅스텐(130) 금속은 비트라인을 형성하게 된다. 이때, 텅스텐 금속과 베리어 메탈은 별도의 식각 물질을 사용하는 식각 과정을 통해 식각하여 제거한다.

도17은 도16의 상태에서 다시 빈 공간이 된 홈(134)을 등방성 식각을 통해 폭을 확장시켜 확장된 홈(136)을 형성한 상태를 나타낸다. 이때 비트라인 위쪽뿐만 아니라 비트라인을 이루는 금속층 측면을 따라서도 다소 식각이 이루어지게 된다.

도18은 도17의 상태에서 실리콘 질화막을 확장된 홈(136) 상부에 채워 넣고 서로 연결된 상부는 CMP를 이용하여 제거하면서 실리콘 질화막 패턴(300)을 분리한 상태를 나타낸다. 이때에도 다소의 과식각을 통해 층간 절연막 상층(200)의 상면을 평탄한 상태로 한다.

도19는 도18의 상태에서 얇은 실리콘 산화막을 식각 보조막(400)으로 적층하고 패터닝 작업을 통해 스토리지 노드 콘택(500)의 콘택홀을 형성한 다음, 도전층을 적층하여 콘택홀을 채워서 스토리지 노드 콘택(500)을 완성한 상태를 나타낸다.

#### (실시예3)

도20 내지 도24b는 본 발명의 또 다른 실시예의 특징적 공정 단계를 나타내는 단면도 및 이에 의해 당해 구조가 완성된 반도체 장치를 나타내는 도면이다.

도20을 참조하면, 실시예1의 도10과 동일한 단계에서 확대된 홈에 실리콘 질화막 패턴(300)과 폴리실리콘 패턴(350)을 형성한다. 이를 위해서, 확대된 홈이 형성된 기판에는 먼저 실리콘 질화막이 적층된다. 그리고, 전면 이방성 식각을 통해 층간 절연막 위로 적층된 실리콘 질화막이 제거된다. 그리고 과식각을 통해 실리콘 질화막이 일정 깊이 홈 안으로 리세스되어 홈 상부가 비게 된다. 다음으로, 폴리실리콘 막이 홈을 채우도록 전면에 적층한다. 또한, 전면 이방성 식각을 통해 홈을 채우는 부분 외에 층간 절연막 상부를 제거한다. 이들 실리콘 질화막 패턴(300)과 폴리실리콘 패턴(350)은 본 발명의 식각 저지막 패턴을 형성하게 된다.

폴리실리콘 패턴(350) 위로 층간 절연막에 콘택홀을 형성하기 위해 식각 마스크 패턴(212)을 형성한다. 포토레지스트 패턴으로 형성된 식각 마스크 패턴(212)은 도21a와 같이 콘택홀 해당 위치에 타원형이나 원형 패턴을 가지는 형태로 이루어질 수 있다. 한편, 도22a와 같이 콘택홀 해당 위치를 포함하는 길고

서로 나란한 제거 영역(503)을 가지는 식각 마스크 패턴(213)일 수도 있다. 길고 나란한 제거 영역(503)이 제거되면서 남는 식각 마스크 패턴(213)도 서로 길고 나란히 부분을 가지도록 형성된다.

도21a와 도22a의 식각 마스크 패턴에 의해 식각이 진행되고 콘택홀(501)이 형성된 상태를 나타내는 공정 단면도가 도21b와 도22b이다. 이는 도21a 및 도22a의 평면을 aa라인 및 bb라인을 따라 절단한 단면 가운데 일부를 나타낸 것이다.

도21a의 패턴은 해당 위치에 직사각형이나 정사각형의 패턴을 가진 포토 마스크를 이용하여 노광함으로써 이루어질 수 있다. 각진 부분이 라운드로 되는 것은 고집적 반도체 장치에서 패턴은 작아지고 노광장비의 해상도에 한계가 있기 때문이다. 이런 현상은 형성될 콘택홀의 단면적을 줄여 콘택저항을 높이는 역할을 한다. 그러나, 직선으로 길게 형성되는 패턴은 이런 라운드 현상을 막을 수 있다. 가령, 도22a와 같이 식각 마스크 패턴(213)을 길게 나란한 제거 영역(503)들을 가지도록 형성하고, 이미 길고 나란하게 형성된 식각 저지막 패턴과 함께 식각 마스크로 이용하는 경우를 상정한다. 이때, 이들 식각 마스크 패턴과 식각 저지막 패턴은 서로 수직으로 형성된 것이므로 이들 패턴이 겹쳐서 형성하는 격자에서 드러난 층간 절연막 부분에는 식각이 진행될 때 사각형의 콘택홀이 형성된다. 이 콘택홀에 도전막을 채워 플러그를 형성하면 사각의 플러그를 형성하므로 콘택저항의 증가를 방지할 수 있다.

도23을 참조하면, 다소 변형된 예를 볼 수 있다. 즉, 콘택홀(501)을 형성하는 과정에서 폴리실리콘 패턴(351) 위로 식각 보조막(400)을 형성한 다음 포토레지스트막을 도포한다. 그리고, 패턴닝을 통해 포토레지스트와 식각 보조막의 이중층으로 이루어진 식각 마스크 패턴을 형성한다. 식각 마스크 패턴과 식각 저지막 패턴을 식각 마스크로 식각을 실시하여 각을 이루는 콘택홀(501)을 형성한다.

폴리실리콘막에 대해 실리콘 산화막의 선택비를 50:1 정도로 높일 수 있으므로 콘택홀 식각 과정에서 폴리실리콘 패턴(351)은 거의 손상되지 않고, 따라서 식각 보조막(400)은 크게 필요치 않다. 그러나, 실리콘 질화막에 대해서 실리콘 산화막은 선택비가 7:1 정도이므로 식각 방지막 패턴이 실리콘 질화막 패턴(300)으로만 이루어진다면 식각 보조막(400)이 형성되는 것이 바람직하다. 즉, 실리콘 질화막 패턴(300)으로만 식각 저지막 패턴을 형성하면, 식각 저지막이 충분히 두껍지 않은 경우 하부의 실리콘 산화막(200)을 충분히 보호하지 못하고, 비트라인(110)과 콘택 플러그 사이에 절연을 위해 존재해야 할 실리콘 산화막(200)이 손상되어 절연이 파괴될 수 있으므로 식각 보조막(400)이 형성되는 것이 바람직하다.

도24a 및 도24b는 도22a의 식각 마스크 패턴에 의해 콘택홀 식각이 이루어지고 식각 마스크 패턴이 제거된 경우의 평면도와 이를 cc라인으로 절단한 공정단면도를 각각 나타낸다. 콘택 플러그(500)가 사각으로 형성되어 있고, 콘택 플러그(500)와 비트라인(110) 사이에는 층간 절연막으로 실리콘 산화막(200)이 일정 폭 존재하고 있다.

#### 발명의 효과

본 발명에 따르면, 인접하게 형성된 도전체 패턴들 사이를 통과하는 도전체 플러그를 형성하면서 유전체 물질의 유전율이 높아져 도전체 패턴들 사이에, 혹은, 도전체 패턴들과 도전체 플러그 사이에 기생 캐퍼시터 정전 용량이 높아지고, 이에 따라 반도체 장치의 성능이 저하되는 것을 억제할 수 있다.

#### (57) 청구의 범위

##### 청구항 1

반도체 장치 형성 방법에 있어서,

기판에 층간 절연막과, 상기 층간 절연막으로 측벽이 이루어지는 홈 및 상기 홈 하부에 상기 홈과 같은 폭으로, 상호간에 나란히 위치하며 측벽이 상기 층간 절연막으로 둘러싸인 복수 개의 라인 패턴을 형성하는 단계,

상기 층간 절연막에 대한 등방성 식각을 통해 상기 라인 패턴 상에서 상기 홈의 폭을 상기 라인 패턴의 폭보다 넓게 확대하는 단계,

폭이 확대된 상기 홈에, 특정 에천트에 대해 상기 층간 절연막에 비해 작은 식각선택성을 가지는 복수개의 식각 저지막 패턴을 서로 나란히 설치하는 단계,

상기 식각 저지막 패턴 위로 콘택홀 형성을 위한 식각 마스크 패턴을 형성하는 단계 및

상기 식각 저지막 패턴을 상기 식각 마스크 패턴과 함께 식각 마스크로 이용하여 상기 라인 패턴 및 상기 식각 저지막 패턴 사이를 통과하는 콘택홀을 형성하는 단계를 구비하여 이루어지는 것을 특징으로 하는 반도체 장치 형성 방법.

##### 청구항 2

제 1 항에 있어서,

상기 식각 저지막은 유전율이 상기 층간 절연막에 비해 상대적으로 큰 물질을 사용하는 것을 특징으로 하는 반도체 장치 형성 방법.

##### 청구항 3

제 1 항에 있어서,

상기 식각 마스크 패턴은 포토레지스트로 형성하는 것을 특징으로 하는 반도체 장치 형성 방법.

##### 청구항 4

제 1 항에 있어서,

상기 층간 절연막은 실리콘 산화막으로 형성하며,

상기 식각 저지막 패턴은 실리콘 질화막으로 이루어지는 것을 특징으로 하는 반도체 장치 형성 방법.

#### 청구항 5

제 1 항에 있어서,

상기 식각 마스크 패턴은 실리콘 산화막으로 이루어진 식각 보조막 위에 포토레지스트막을 도포하고 패터닝하여 복층으로 형성하는 것을 특징으로 하는 반도체 장치 형성 방법.

#### 청구항 6

제 1 항에 있어서,

상기 층간 절연막과 상기 홈 및 상기 라인 패턴을 형성하는 단계는,

반도체 기판에 기층 절연막을 형성하는 단계,

상기 기층 절연막 상에 도전체층, 상기 도전체층 및 상기 층간 절연막과 서로 다른 식각 선택비를 가진 희생막을 포함하는 보조막을 상기 희생막이 가장 위쪽에 위치하도록 차례로 적층하는 단계,

상기 도전체층 및 상기 보조막을 패터닝 하여 복수의 물질층으로 이루어진 복층 패턴을 형성하는 단계,

상기 복층 패턴 및 상기 기층 절연막 위로 층간 절연막을 적층하는 단계,

상기 복층 패턴의 희생막이 노출되도록 상기 층간 절연막을 평탄화 공정을 실시하는 단계,

식각을 통해 상기 복층 패턴에서 희생막 제거하여 상기 라인 패턴 및 상기 홈을 형성하는 단계를 구비하여 이루어지는 것을 특징으로 하는 반도체 장치 형성 방법.

#### 청구항 7

제 6 항에 있어서,

상기 보조막은 실리콘 산화막과 상기 희생막을 차례로 적층하여 형성하며,

상기 희생막은 폴리실리콘이나 실리콘 질화막 가운데 하나로 형성하는 것을 특징으로 하는 반도체 장치 형성 방법.

#### 청구항 8

제 7 항에 있어서,

상기 층간 절연막은 실리콘 산화막으로 형성되어 상기 홈의 폭을 확대하는 단계에서 적어도 일부가 제거되는 것을 특징으로 하는 반도체 장치 형성 방법.

#### 청구항 9

제 6 항에 있어서,

상기 식각 저지막은 실리콘 질화막, 실리콘 질화막과 폴리실리콘막, 실리콘 산화막과 실리콘 질화막 또는 실리콘 산화막과 폴리실리콘막 가운데 하나로 이루어지는 것을 특징으로 하는 반도체 장치 형성 방법.

#### 청구항 10

제 9 항에 있어서,

상기 콘택홀을 형성하는 단계에서 상기 식각 저지막의 식각 저지 작용은 상기 식각 저지막의 최상층에 의해 이루어지는 것을 특징으로 하는 반도체 장치 형성 방법.

#### 청구항 11

제 9 항에 있어서,

상기 식각 저지막의 최상층이 폴리실리콘막이고,

상기 콘택홀을 형성하는 단계에 이어서, 도전막으로 상기 콘택홀을 채우는 단계,

평탄화 식각을 통해 상기 도전막과 상기 식각 저지막의 최상층인 폴리실리콘막을 제거하는 단계가 더 구비되는 것을 특징으로 하는 반도체 장치 형성 방법.

#### 청구항 12

제 1 항에 있어서,

상기 층간 절연막, 상기 홈 및 상기 라인 패턴을 형성하는 단계는,

상기 층간 절연막을 적층하고 패터닝 작업을 통해 초기홈을 형성하는 단계,

상기 초기홈이 형성된 기판에 도전체층을 적층하여 상기 초기홈을 채우는 단계,

상기 도전체층이 적층된 기판에 전면적인 식각을 실시하여 상기 초기홈에 상기 도전체층으로 이루어진



리세스된 패턴을 형성하는 단계를 구비하여 이루어지는 것을 특징으로 하는 반도체 장치 형성 방법.

#### 청구항 13

제 12 항에 있어서,

상기 층간 절연막, 상기 홈 및 상기 라인 패턴을 형성하는 단계는,

상기 도전체로 이루어진 패턴 위로 상기 초기홈을 채우는 비도전막을 적층하는 단계 및

상기 비도전막이 적층된 기판을 전면 식각하여 상기 초기홈에 상기 비도전막으로 이루어진 패턴을 형성하는 단계가 더 구비되는 것을 특징으로 하는 반도체 장치 형성 방법.

#### 청구항 14

제 12 항에 있어서,

상기 층간 절연막은 실리콘 산화막으로 형성하고,

상기 식각 저지막은 실리콘 질화막 혹은 폴리실리콘막으로 형성하는 것을 특징으로 하는 반도체 장치 형성 방법.

#### 청구항 15

제 12 항에 있어서,

상기 층간 절연막을 형성하기 전에 식각 저지막을 형성하는 단계가 더 구비되는 것을 특징으로 하는 반도체 장치 형성 방법.

#### 청구항 16

제 12 항에 있어서,

상기 도전체층은 티타늄(Ti)막 및 티타늄 질화막(TiN)로 이루어지는 베리어 메탈과 텅스텐막을 차례로 적층하여 형성하는 것을 특징으로 하는 반도체 장치 형성 방법.

#### 청구항 17

제 1 항에 있어서,

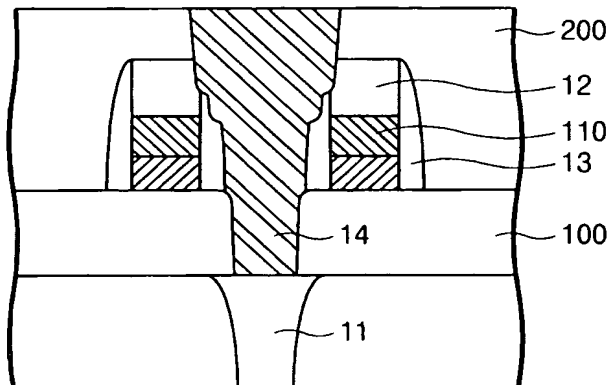
상기 식각 저지막 패턴을 형성하는 단계는

공정 기판 전면에 식각 저지막을 적층하여 상기 홈을 채우는 단계와

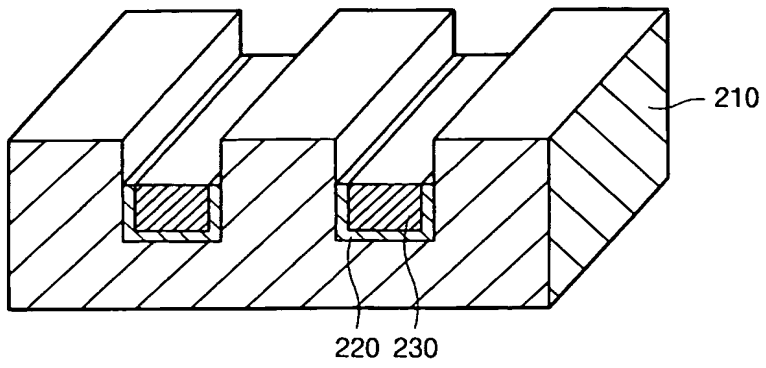
CMP(Chemical Mechanical Polishing)에 의한 공정 기판 평탄화를 통하여 상기 식각 저지막 패턴간 분리를 실시하는 단계로 나뉘어지는 것을 특징으로 하는 반도체 장치 형성 방법.

도면

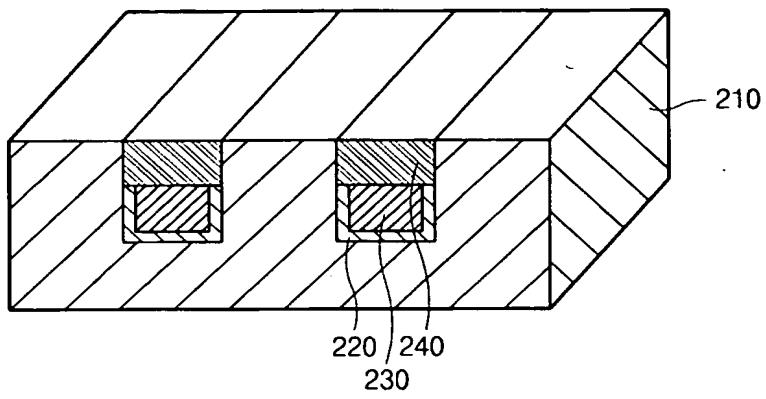
도면1



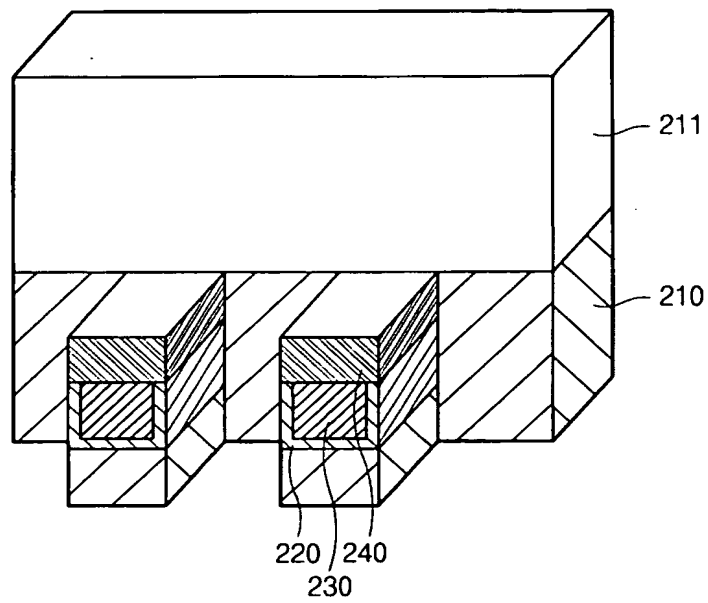
도면2



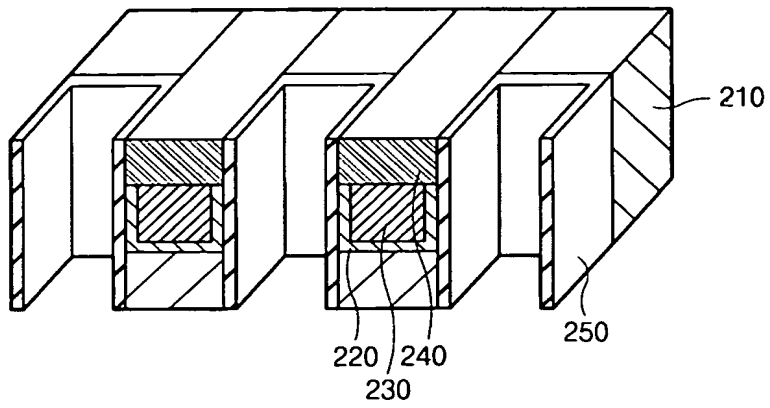
도면3



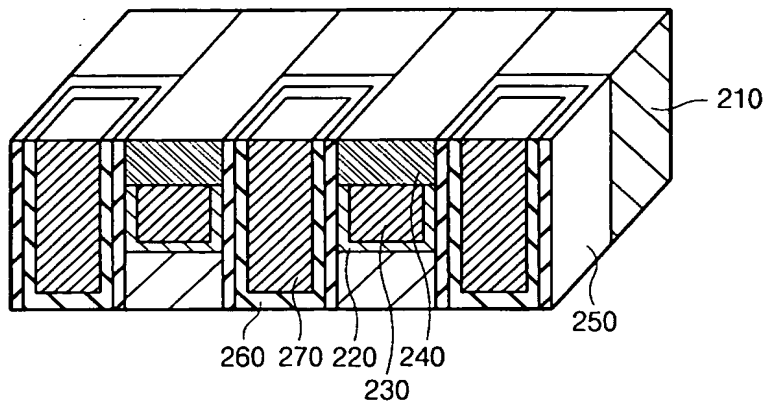
도면4



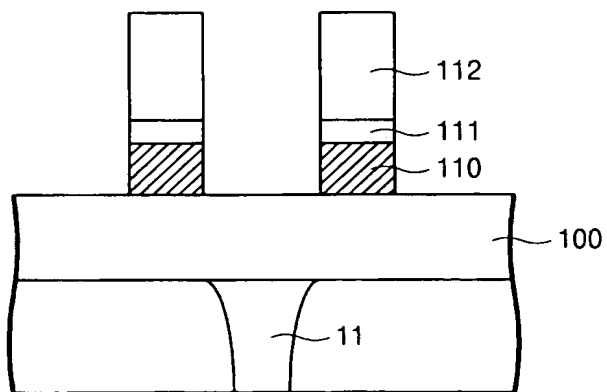
도면5



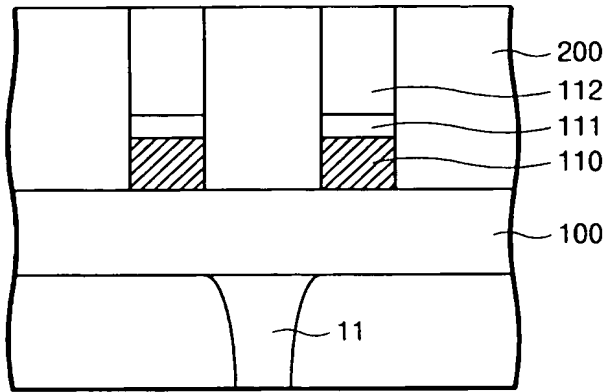
도면6



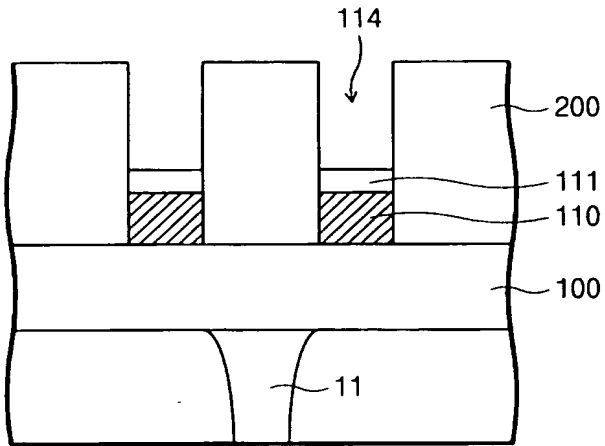
도면7



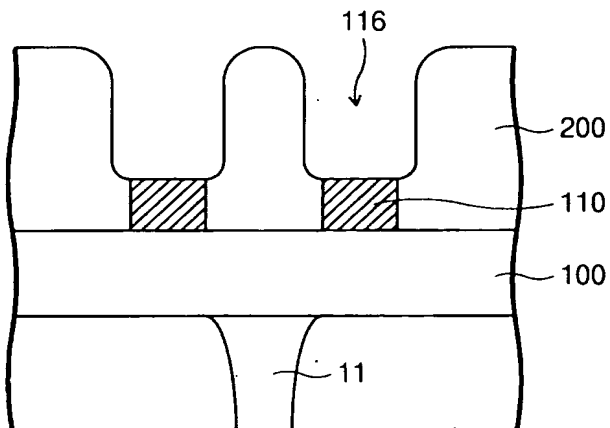
도면8



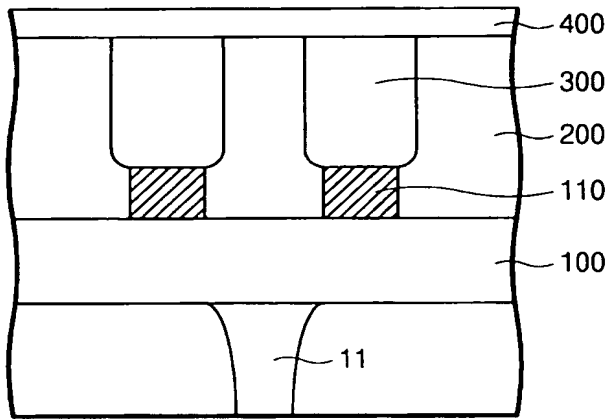
도면9



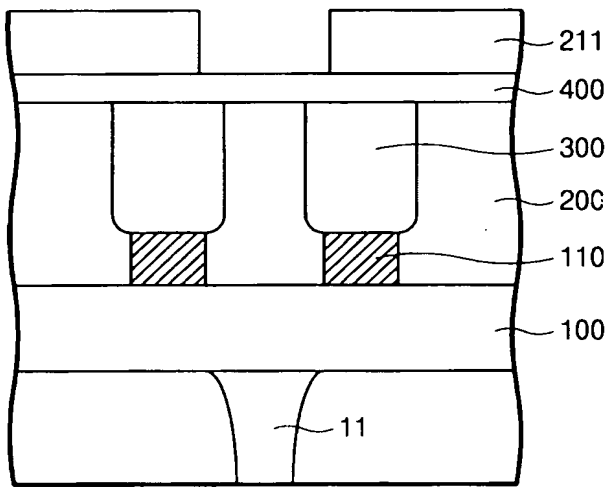
도면10



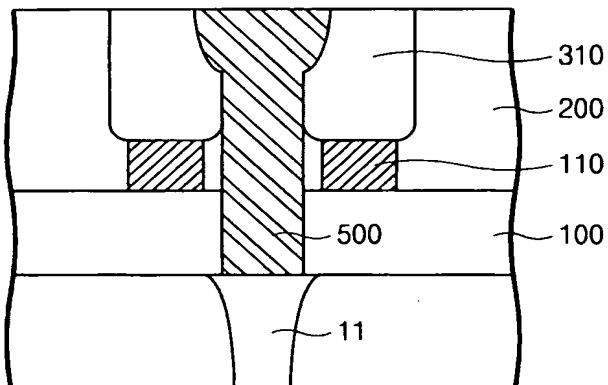
도면11



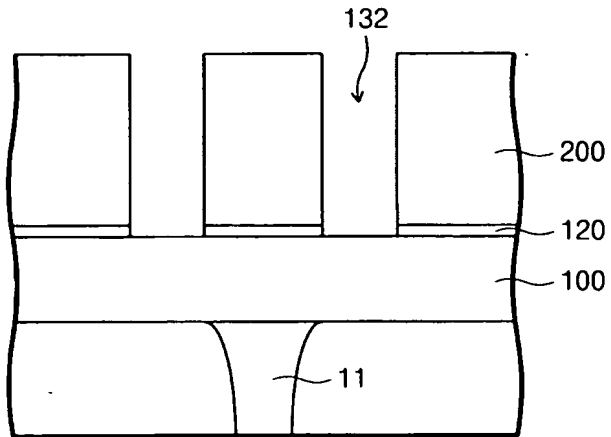
도면12



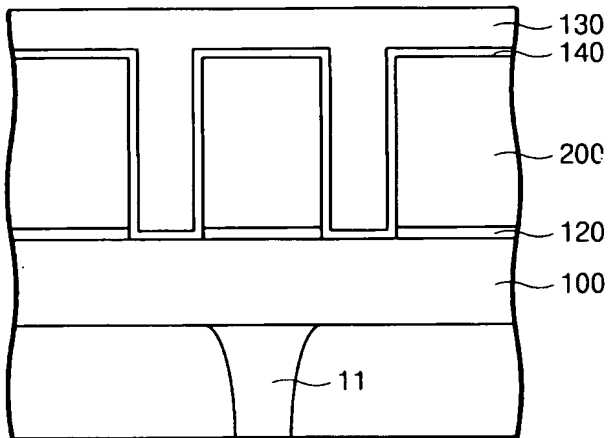
도면13



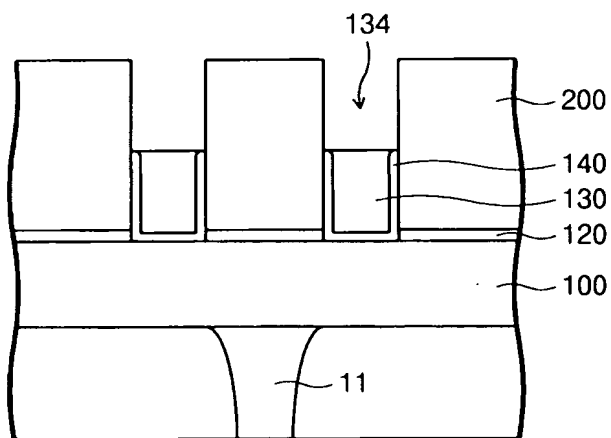
도면14



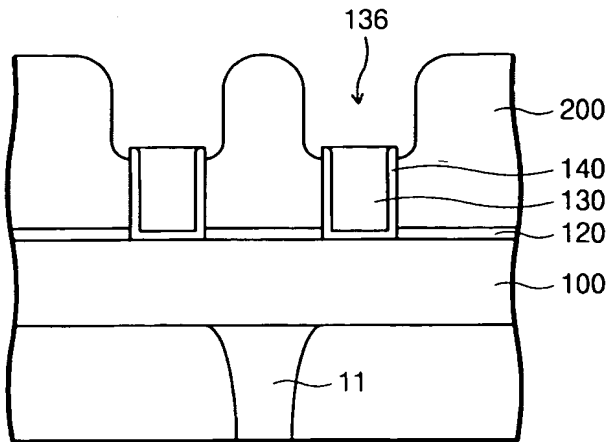
도면15



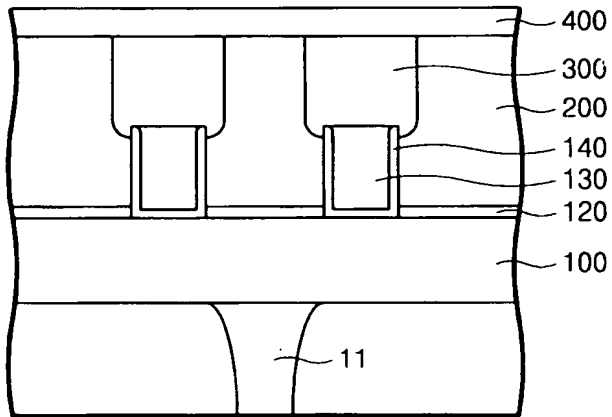
도면16



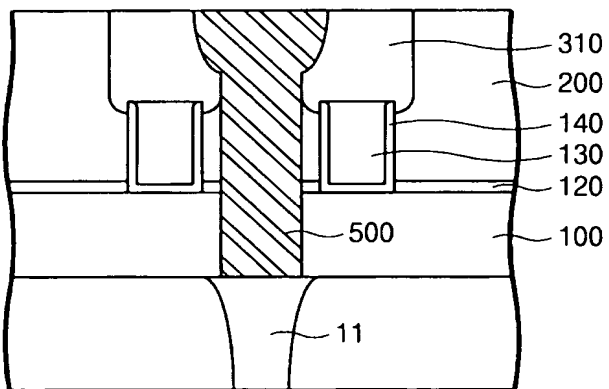
도면17



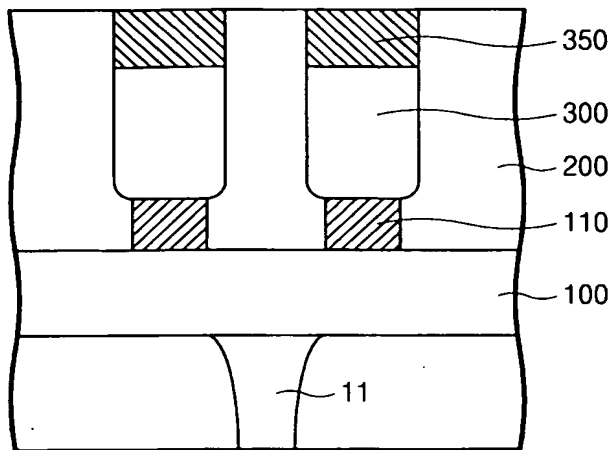
도면18



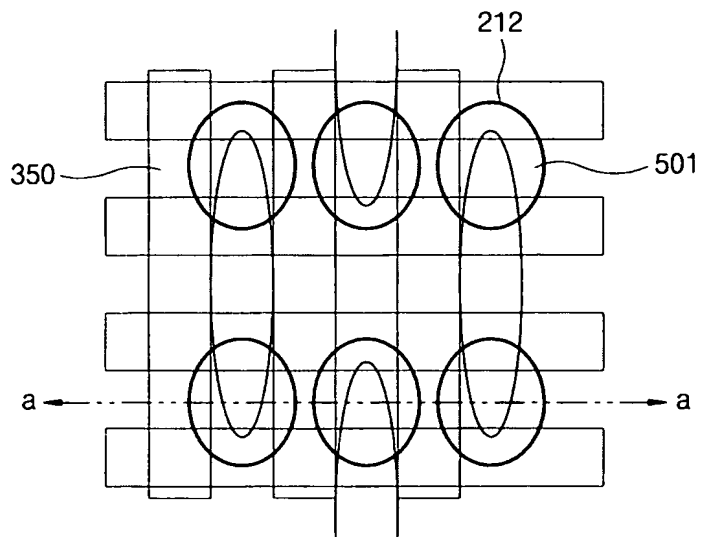
도면19



도면20

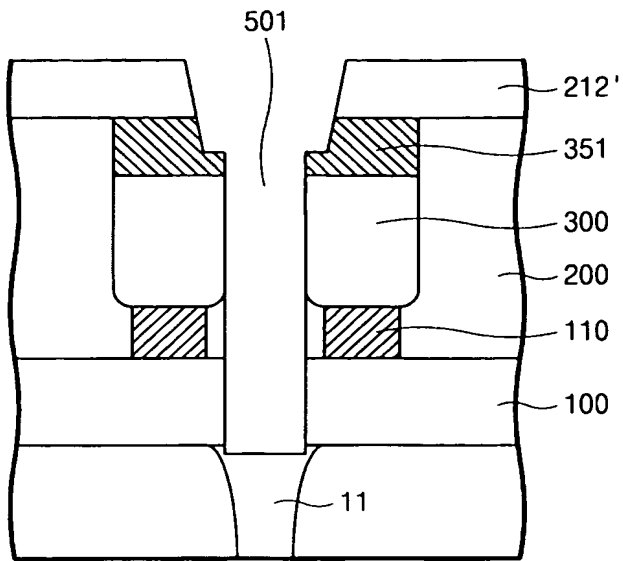


도면21a

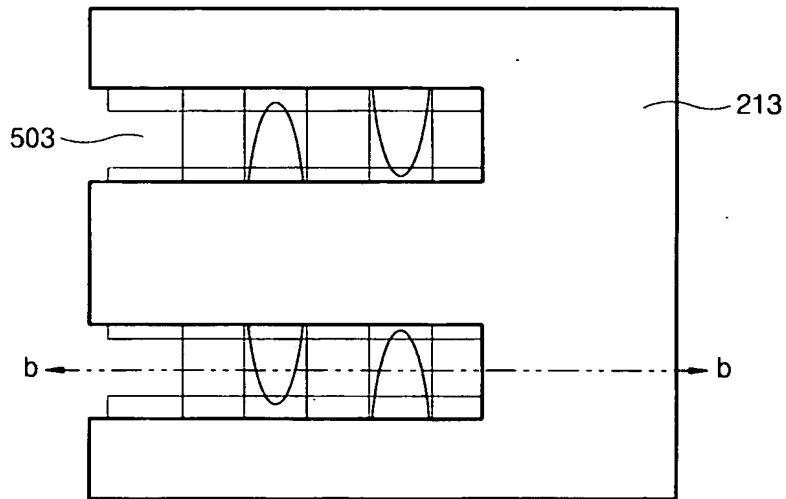




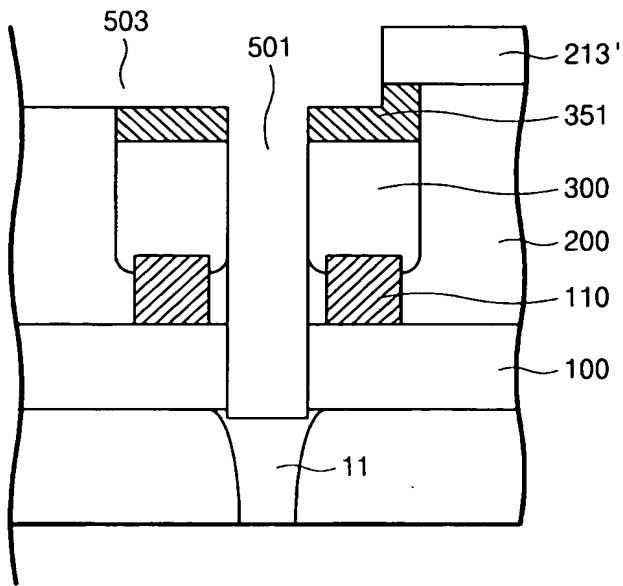
도면21b



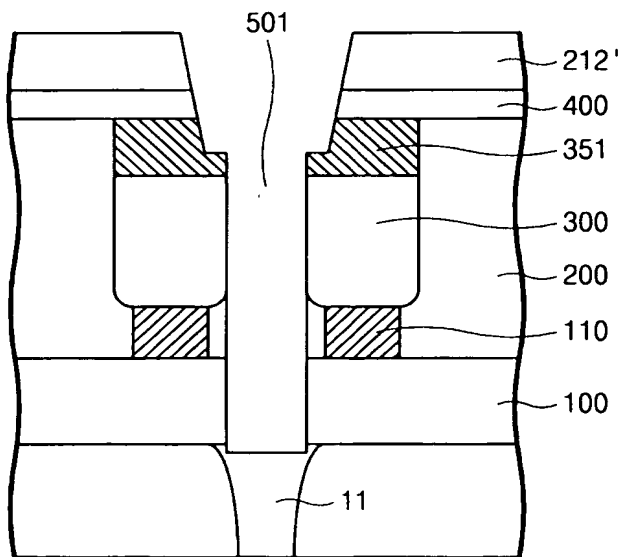
도면22a



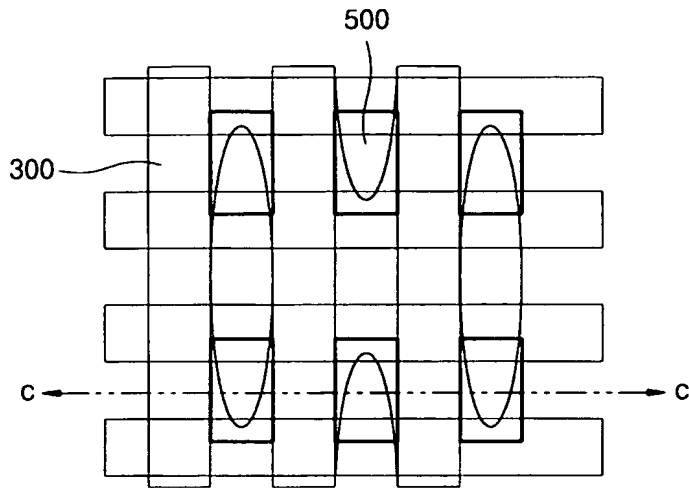
도면22b



도면23



도면24a



도면24b

